

【Step 1】調停手段6のステートマシンはCLK1 aに同期して動作し、Reset1 bでリセットした場合はS0状態になる。

【Step 2】画像データ入出力手段210からの要求番号6 aが1ならばステートマシンの状態はS1に移行する。

【Step 3】クロックサイクルの間S1状態を維持した後、ステートマシンの状態はS0に戻る。

【Step 4】画像データ入出力手段210からの要求番号6 aが0、かつ符号データ入出力手段300からの要求番号6 bが1ならば、ステートマシンはS2状態に移行する。

【Step 5】クロックサイクルの間S2状態を維持した後、ステートマシンの状態はS0に戻る。

【Step 6】S0状態の場合に画像データ入出力手段210と符号データ入出力手段300との要求番号6 a、6 bがいずれも0ならば、ステートマシンはS0状態を維持する。

【0035】また、2つの許可番号6 c、6 dはステートマシンの状態によって値が決まる。例えば、画像データ入出力手段210に与えられる許可番号6 cは、S1状態のときののみ1となり他の状態のときは0となる。また、符号データ入出力手段300に与えられる許可番号6 dは、S2状態のときののみ1となり他の状態のときは0となる。

【0036】次に、内部レジスタ手段について説明する。図4は、内部レジスタの構成を示す図である。内部レジスタ手段7は、内部レジスタ70と、レジスタドライバ74、75とから構成される。また、内部レジスタ70はコマンドレジスタ71と、パラメータレジスタ72と、ステータスレジスタ73と、から構成される。コマンドレジスタ71、パラメータレジスタ72、ステータスレジスタ73はいずれも内部バス10に接続される。

【0037】また、3つの内部レジスタ71、72、73は、それぞれ2入力ORゲート74 a～74 cからなるレジスタドライバ74と、2入力ORゲート75 a～75 cからなるレジスタドライバ75と、によってドライバされる。OE2 A1やLD2 A1などの入力信号については後で説明する。

【0038】コマンドレジスタ71は、所定の値が書き込まれることで符号化手段4の動作/停止、復号化手段5の動作/停止を指示することができる。パラメータレジスタ72は、JPEG Baseline Systemの量子化/逆量子化の際に用いる量子化テーブルの係数を増減させるためのスケールンクワファクタ値を指定するスケールンクワファクタ指定手段72 aと、処理すべき画像データを格納する画像データ格納手段72 bと、量子化テーブルとハフマン符号化の際に用いるテーブルの選択番号を設定するテーブル設定手段72 cとから構成される。

【0028】次に、符号データバス側の接続について説明する。CODEC装置1からデータバス31上へデータを転送するためにRD信号32を用いる。データバス31上のデータをCODEC装置1に書き込むためにWT信号33を用いる。

【0029】また、2ビットのアドレス34は、データバス31のデータのCODEC装置1内部の読み出し元あるいは書き込み先を指定する。WAIT信号35はCODEC装置1が読み出しあるいは書き込み直ちに処理されない時に符号データバス30側のバスマスタ(図2には示されていない)に対してWAITすべきことを通知する。DMAReq信号36は符号データ入出力手段300が、符号化時には符号データを出力できる状態にあることを示し、復号化時には符号データを入力できる状態にあることを示す。DMAAck信号37は、DMAReq信号36がDMA転送として符号データ入出力手段300に対してアクセスしていることを示す。

【0030】さらに、符号データ入出力手段300は、書き込み時には、データバス31から入力したデータを内部バス10と復号化手段5に供給し、読み出し時には、内部バス10上の値と符号化手段4の出力をデータバス31に出力する。

【0031】また、CODEC装置1にはCLK1 aが外部から供給され、これに同期して動作する。さらに、外部からリセット信号Reset1 bも供給される。次に、各構成手段について説明する。符号化手段4は、カラー静止画符号化の国際標準化方式としてJPEG (Joint Photographic Experts System (基本方式))の符号化方式に従った画像データの符号化を行う。符号化手段4は、画像データが入力可能な状態ならば画像データ入出力手段210にその旨を通知し、符号データ出力可能な状態ならば符号データ入出力手段300にその旨を通知する。

【0032】復号化手段5は、JPEG Baseline Systemに準拠した画像データの復号化を行う。復号化手段5は、符号データが入力可能な状態ならば符号データ入出力手段300にその旨を通知し、復号化された画像データが出力可能な状態ならば画像データ入出力手段210にその旨を通知する。

【0033】次に、調停手段について説明する。調停手段6は3つの状態を持つステートマシンで構成されている。そして、画像データ入出力手段210と符号データ入出力手段300とは、それぞれ調停手段6に対して要求番号6 a、6 bを与える。

【0034】一方、調停手段6からは画像データ入出力手段210と符号データ入出力手段300とへ、それぞれ許可番号6 c、6 dを与える。この要求番号と許可番号によりステートマシンの状態が移行する。図3は、調停手段の状態遷移を示す図である。

いて説明する。図6は、ステータスレジスタの任意の1ビットの回路図を示す図である。2つのセレクト手段73 aと73 b、DFF手段73 c、トライステータス手段73 d、ORゲート73 eとから構成されている。図6を図5と比較されていることがわかる。これによりセレクト手段73 aの出力に現れ、セレクト手段73 bの出力に供給される。

【0048】ステータスをロードする時にはCODEC装置1内部でステータスロード番号が1となり、これよりORゲート73 eの出力も1となる。ORゲート73 eの出力はセレクト手段73 bの入力選択に接続されている。そして、ここが1となることで、セレクト手段73 aの出力、すなわちCODEC装置1内部のステータス情報がDFF手段73 cのD入力に現れる。従って、DFF手段73 cのクロック入力CLK1 aの立ち上がりエッジの時にステータスロード番号を1にし、ステータス情報を供給することでCODEC装置1内部のステータス情報をステータスレジスタ73にロードすることができる。

【0049】次に、画像データから内部レジスタ手段へのアクセスについて説明する。内部レジスタ手段へのアクセスは、符号化側/復号化側内部レジスタアクセス手段8、9で行われる。ここで、符号化側内部レジスタアクセス手段8と、復号化側内部レジスタアクセス手段9とは、構成は同じなので符号化側内部レジスタアクセス手段8についてのみ説明する。

【0050】図7は、符号化側内部レジスタアクセス手段の一部を示すブロック図である。符号化側内部レジスタアクセス手段8からは3つの内部レジスタ手段7のL/D信号(LD2 A1、LD2 A2、LD2 A3)とOE信号(OE2 A1、OE2 A2、OE2 A3)とが生成される。これら6つの信号は6つの4入力ANDゲート212 a～212 fで作られる。また、4入力ANDゲート212 a～212 fの入力は、レジスタセレクタ信号A1、A2、A3と、WT信号23と、許可番号6 cと、DMAAck信号27のnotと、RD信号22とからなる。

【0051】また、アドレス24はアドレスデコード23と制御信号A1、A2、A3とが生成される。図8は、アドレスデコードの入出力の関係を示す真理値表である。真理値表8 aは、アドレスと、レジスタ割り当てと、レジスタセレクタ信号A1、A2、A3と制御信号A1、A2、A3とから構成される。アドレスデコード211は、入力される

【0039】スケールンクワファクタ指定手段72 aは、3ビットで、量子化テーブルの係数の値を2N (Nはスケールンクワファクタ指定部72 aの3ビットを2の補数表示と解釈した値)倍し、量子化(符号化時)と逆量子化(復号時)の処理に使用する。さらに画像データ格納手段72 bは処理すべき画像データを格納する。

【0040】テーブル設定手段72 cは、符号化手段4と復号化手段5との内部に含まれるカラー画像の輝度成分(YCrCb色空間のY成分)用の量子化テーブルと、色差成分(CrCb色空間のCr成分またはCb成分)用の量子化テーブルとハフマン符号テーブルとで、どちらを使うかを指定する。

【0041】ステータスレジスタ73は、符号化手段4または復号化手段5の処理終了を示すフラグと、符号化手段4または復号化手段5で検出されたエラーの有無とエラーの詳細を示すフラグとを有する。

【0042】次に、各レジスタの内部構成について説明する。ただし、パラメータレジスタの内部構成は、コマンドレジスタの内部構成と同じなので説明は省略する。図5は、コマンドレジスタの任意の1ビットの回路図を示す図である。コマンドレジスタ71は、セレクト手段71 aと、DFF (D型フリップフロップ) 手段71 bと、トライステータス手段71 cとから構成される。

【0043】2入力のセレクト手段71 aの出力は、DFF手段71 bの入力に接続される。DFF手段71 bのQ出力はセレクト手段71 aの一方の入力とトライステータス手段71 cの入力に接続され、さらにCODEC装置1内部でも使用される。セレクト手段71 aのもう一方の入力は、内部バス10に接続される。

【0044】LDは、セレクト手段71 aの入力選択として使われ、LD=1のときには内部バス10の値がセレクト手段71 aの出力となり、DFF手段71 bのD入力に供給される。従って、DFF手段71 bのCLK1 aの立ち上がりエッジの際にLD=1とすることで内部バス10の値をDFF手段71 bに書き込むことができる。

【0045】OEは、トライステータス手段71 cのアウトプットバッファ入力に接続されている。従ってOE=1とするDFF手段71 bにラッチされている値を内部バス10に出力することができる。OE=0ならばトライステータス手段71 cはOFF (高インピーダンス状態)となり、内部バス10に影響を与えない。Reset1 bがDFF手段71 bのリセット入力に接続されている。これにより、リセット時には、コマンドレジスタはリセットされる。

【0046】次に、ステータスレジスタの内部構成につ

たアドレスに対してデコード信号を作成する。例えば、

アドレスが2の場合は、レジスタセレクト信号A1、A2、A3がそれぞれ、1、0、及び制御信号A123が1となるようなデコード信号がパラメータレジスタに割り当てられる。

[0052] 図9にANDゲートの論理構成部を示す。論理構成部8bの例は、ANDゲート212a~212fの論理と接続先とを示している。論理と接続先として例えば、LD2A2は、A1とWT (WT信号23) と制御信号からの許可信号6cと、DMAAck信号27のANDと論理積であることを示している。そして、ANDゲート212aの出力先は、ORゲート75bの一方に入力される。

[0053] また、図7では内部バス10は2つのトライステートバッファ213、214を介してデータバス21に接続される。トライステートバッファ213はデータバス21を入力とし、内部バス10を出力とするトライステートバッファで、(A123*WT信号23*制御信号からの許可信号6c)=1のときに内部バス10をドライブし、0のときにはドライブしない。

[0054] また、トライステートバッファ214は、内部バス10を入力とし、データバス21を出力とするトライステートバッファで、(A123*RD信号22*制御信号からの許可信号6c)=1のときにデータバス21をドライブし、(A123*RD信号22*制御信号からの許可信号6c)=0のときにはドライブしない。すなわち高インピーダンスとなる。

[0055] 次に、画像データバスから内部レジスタ手続に書き込む時の動作について説明する。図10は、画像データバスから内部レジスタ手続に書き込む時の動作タイミングを示す図である。ここではコマンドレジスタ71に書き込むものとし、さらに符号データバス30からの読み出しまたは書き込み動作はないものとする。

[0056] 画像データバス20のバスマスタは、データバス21に書き込みデータを出し、RD信号22=0、WT信号23=1、アドレス24=01 (2進数) を出力する。このとき制御信号6bはS0状態にあるため、画像データ入出力手続210への許可信号6cは0となり、WAIT信号25は1となる。

[0057] したがって、バスマスタは次のサイクルもデータバス21、RD信号22、WT信号23、アドレス24に同じ値を出力する。また、LD2A1=0かつLD3A1=0のため、コマンドレジスタ71へのLD信号も0となり、レジスタへの書き込みはまだ発生しない。トライステートバッファ213もOFFのままである。

[0058] 次のサイクルでは制御信号6bはS1状態となるので、画像データ入出力手続210への許可信号6cは1となる。これにより、トライステートバッファ213が内部バス10をデータバス21の値にドライブす

る。

[0059] また、LD2A1=1となり、ORゲート75a出力は1となり、コマンドレジスタのLDは1となり、サイクルの最後のCLK1aの立ち上がり時に内部バス10の値すなわちコマンドレジスタへの書き込み値がコマンドレジスタ71に書き込まれる。さらにWAIT信号=0となり、バスマスタはWAIT状態から脱出する。コマンドレジスタ71からの読み出しも、同様に行われるが、LD2A1の代わりにはOE2A1が1となり、トライステートバッファ213の代わりにトライステートバッファ214がドライブ状態となる。

[0060] 次に、画像データバスと符号データバスのアクセスが競合した場合の動作を説明する。図11は、アクセスが競合した場合の動作タイミングを示す図である。画像データバス20から内部レジスタ手続7にアクセスを試みた時に既に符号データバス30からのアクセスがあり、制御信号6bの状態がS2にあるときは、WAIT信号25は1を出力するので、画像データバス20側のバスマスタはWAITする。

[0061] そして、次のサイクルにて制御信号6bはS0状態となり、その次のサイクルにて制御信号6bはS1状態となる。よって、画像データバス20側の内部レジスタ手続7へのアクセスが行われ、さらにWAIT信号25=0となることでバスマスタのWAITが解除される。

[0062] 画像データバス20のバスマスタと符号データバス30のバスマスタが同時に内部レジスタ手続7へのアクセスを試みた場合は、制御信号6bの状態はS0からS1へ移行し、画像データバス20側にアクセスが許され、かつWAIT信号25=0が出力される。そして、次のサイクルにおいてS0状態となり、ここで画像データバス20のさらなるアクセス要求がないならば、その次のサイクルでS2状態となり、符号データバス30のアクセスが行われる。このように制御信号6bにより2つのバスから同時に内部レジスタ手続7へのアクセスが起きることが禁じられているため、内部バス10上でデータがぶつかり合うことはない。

[0063] 一方、符号データバス30側から内部レジスタ手続7にアクセスする場合は、符号データ入出力手続300を用い、上記で説明したのと全く同様に行う。ただし、信号LD2A1、LD2A2、LD2A3、及びOE2A1、OE2A2、LD3A2、LD3A3、及びOE3A1、OE3A2、OE3A3を生成し、これらの接続先は、それぞれORゲート74a~74c、75a~75cのもう一方の入力となる。

[0064] 以上説明したように本発明のCODEC装置は、内部レジスタ手続へのアクセスのための専用入出力手続をなくした構成とした。これにより、CODEC装置を実装する集積回路のパット数と集積回路用パツ

210側は、画像データバス20に接続される。CODEC装置1の符号データ入出力手続300側は、符号データバスであるが、これはシステムバス150に接続する。CODEC装置1の画像データの転送はDMAC手続100で行い、符号データの転送はCPU120の命令によって行われる。CPU120の命令による転送レートはDMAC手続100の転送レートと比較してはるかに低いが、JPEGの画像データ符号化によってデータ量が十分に小さくなるため、CPU120の命令による転送でも実施の用途には十分である。

[0071] RD信号22、WT信号23、WAIT信号25、DMAReq信号26、それにDMAAck信号27はDMAC手続100に直接接続する。データバス21とアドレスバス24は画像データバス20のデータバスとアドレスバス部に接続する。CPU120からDMAC手続100へはDMAスタート信号120aが送られ、DMAC手続100からCPU120へは制御信号100aが送られる。

[0072] また、DMAC手続100は画像メモリ手続110aにアクセスするためのアドレスを生成し、画像データバス20を通じて画像メモリ手続110aに送る。また、DMAC手続100はCODEC装置1の内部レジスタのアドレス (2bit) を生成し、画像データバス20を通じてCODEC装置1に送る。

[0073] また、DMAC手続100により画像メモリ手続110aから読み出された画像データは、画像データバス20のデータバス21を通じてCODEC装置1へ送られる。CODEC装置1から出力された画像データはDMAC手続100の制御のもとでデータバス21を通じて画像メモリ手続110aに送られ書き込まれる。DMAC手続100は画像メモリ手続110aからDMAC手続100に対する命令を読み出し、それに従い動作し、さらにDMAC手続100のステータスを画像メモリ手続110aに書き込むようになっている。

[0074] 次に、CODEC装置1の符号データの供給について説明する。CODEC装置1の符号データバス側のDMAReq信号36をCPU120に対する制御信号として使う。DMAC手続100がCODEC装置1のコマンドレジスタ71に符号化手続5のスタートを指示すると符号化手続5が動きはじめ、符号データを符号データ入出力手続300に要求し、符号データ入出力手続300はDMAReq信号36=1として、これがCPU120に割り込み要求として通知される。CPU120は割り込みを起す。そして、割り込み処理ルーチンにてCPU120はメインメモリ130から符号データを読み出し、CPU120はシステムバス150を通じて、CODEC装置1に符号データを書き込む。

[0075] これによりDMAReq信号36=0とな

ページのピン数を減らすことが可能である。よって、集積回路のコストを下げることができ、またより少ないピン数のパッケージに収めることができる。

[0065] 次に、本発明のCODECシステムについて説明する。図12はCODECシステムの原理図である。CODECシステムは、デジタルデータを符号化して、入出力処理を行う符号化処理手続400と、符号データを復号化して、入出力処理を行う復号化処理手続500と、符号化処理手続400または復号化処理手続500の制御を行う内部レジスタ制御手続700と、デジタルデータと符号データを格納するデジタルデータメモリ110と、デジタルデータメモリ110と内部レジスタ制御手続700との制御を行うDMAC手続100と、から構成される。

[0066] ここで、本発明のCODECシステムの符号化処理手続400と、復号化処理手続500と、内部レジスタ制御手続700とは、上記で説明したCODEC装置の内部構成を一括化したものである。よって、以下の実施の形態では、CODEC装置1を用いてシステムを構築した場合のCODECシステムについて説明する。

[0067] 次に、本発明のCODECシステムを画像データを符号化/復号化する場合に適用した場合の第1の実施の形態について説明する。図13は、CODECシステムのブロック図である。CODECシステムはCODEC装置1と、DMAC手続100と、画像メモリ手続110aと、CPU120と、メインメモリ130と、I/O手続140と、から構成される。CPU120とメインメモリ130とI/O手続140とは、システムバス150に接続されている。また、I/O手続140は、RS232C I/F141と、Disk I/F142と、Ethernet I/F143とから構成される。

[0068] ここで、RS232C I/F141はコンソールとの接続のためにあり、コンソールを用いて本システムをオペレータが操作する。Disk I/F142は、ディスク装置に接続され、符号データを記録するために用いられる。Ethernet I/F143は、Ethernetと接続され、画像データあるいは符号データを、受信あるいは送信するために用いられる。また、システムバス150はアドレスバスと、データバスと、制御バスとから構成される。

[0069] 次に、各構成手続の接続について説明する。画像メモリ手続110aは2ポートメモリである。第1のポートは画像データバス20に接続し、第2のポートはシステムバス150に接続する。CPU120は第2のポートを用いて画像メモリ手続110aの内部を読み出したり書き込んだりすることができ、DMAC手続100は画像データバス20に接続する。

[0070] CODEC装置1の画像データ入出力手続

有効な符号データがデータバス31上にあることをCODEC装置1に知らせる。そして、CODEC装置1は符号データを読み、DMAReq信号36を0とする。これによりDMAC手段10はDMAAck信号37を0とする。このようにCODEC装置1とDMAC手段10はDMAReq信号36とDMAAck信号37を用いて、ハンドシェイク制御を行うことで、符号データを転送する。

[0092] さらに、CODEC装置1はDMAC手段10より1ワードあるいは複数ワードの符号データを受け取った後にそれを復号し、画像データを作る。この画像データはDMAC手段100により画像データバス20を経て、画像メモリ手段110aに書き込まれる。画像データの転送は第1の実施の形態にて説明したので省略する。

[0093] また、DMAC手段101は、メインメモリ130に格納された符号データをCODEC装置1に転送するほかに、符号データに高帯域である各種ヘッダの処理を行う。ヘッダにはCODEC装置1における圧縮・伸張アルゴリズムの選択を指定するものがある。本実施例では多階層の画像成分についてはJPEGを使い、白黒2値画像についてはランレングス圧縮アルゴリズムを用いている。

[0094] ヘッダはJPEG符号とランレングス圧縮とを区別する。DMAC手段101はメインメモリ130から読み出した符号データ中にヘッダを発見すると、符号データバス30のWT信号33とアドレス34とデータバス31とを用いてCODEC装置1のパラメータレジスタを書き換えて復号手段を切り替える。

[0095] そして、DMAC手段101のレジスタに設定した量の符号データのCODEC装置1への転送が終了すると、DMAC手段101は割り込み要求信号101aを1としてCPU120に至り、通知する。CPU120は両者からの割り込みが発生したことで処理の完了を知る。

[0096] 以上では符号データを復号化するなら伸張するケースについて説明したが、画像データを符号化するなら圧縮するケースはデータが流れる方向が逆であるだけなので、説明は省略する。

[0097] 以上説明したように、本発明のCODECシステムは、複数の圧縮・伸張アルゴリズムを切り替えて圧縮・伸張を行う場合においてもDMAC手段が内部レジスタを操作できる構成とした。これにより、CPUによる処理を極力減らすことができ、処理速度の向上をはかることができる。

[0098] さらに、本発明のCODECシステムは、上記で説明したCODEC装置と画像に準一の集積回路上に実装する構成にすることが可能である。これにより、集積回路のパッド数と集積回路のピン数のピン数を削減することが可能となる。

施の形態では、画像データバス上のデータ転送をDMAで行ったが、第2の実施の形態では、画像データバス20側のデータ転送をつかさどるDMAC手段100のほかに、符号データバス30側のデータ転送をつかさどる別のDMAC手段101が備えられている。ここで、画像データバス側のDMAの動作は第1の実施の形態で説明したのと全く同様であるので説明を省略し、符号データバス側のDMAについて説明する。

[0087] DMAC手段101は、CODEC装置1の符号データバス側のRD信号32と、WT信号33とアドレス34とを生成し維持する。CODEC装置1の符号データバス30のデータバス31はDMAC手段101と接続している。DMAC手段101は、CODEC装置1のWAIT信号35を入力する。さらにCODEC装置1からDMAC手段101へDMAのリクエスト信号であるDMAReq信号36が接続され、DMAC手段101からCODEC装置1へはDMA許可信号であるDMAAck信号37が接続されている。

[0088] さらに、DMAC手段101は、システムバス150と接続している。これによりCPU120からDMAC手段101の内部レジスタにアクセスすることが可能となり、かつDMAC手段101がシステムバス150を介してメインメモリ130にアクセスすることも可能となる。CPU120からDMAC手段101へはDMAを起動させるためのDMACスタート信号120bが接続されている。DMAC手段101からCPU120へは、CPU120に対する割り込み要求信号101aが接続されている。

[0089] 次に、メインメモリに格納されている符号データをCODEC装置1で復号し、画像メモリ手段101に格納する場合について説明する。まず、CPU120は、メインメモリ130に格納されている符号データの開始アドレスとデータサイズとをそれぞれDMAC手段101の内部レジスタに格納する。その後DMACスタート信号120bを1として、DMAC手段101をスタートさせる。DMAC手段101は、システムバス150を經由してメインメモリ130のアドレスより符号データを順次読みだしていく。読みだされた符号データは一旦DMAC手段101内部に格納される。

[0090] 一方、上記処理と並行して、CPU120は画像メモリ手段110aにDMAC手段100のため命令メモリ集合を書き込む。そして、DMACスタート信号120aを1としてDMAC手段100を起動する。DMAC手段100はすでに第1の実施の形態で述べたように命令群に従ってCODEC装置1の内部レジスタをセットする。これによりCODEC装置1のDMAReq信号36が1となる。

[0091] また、DMAC手段101はDMAReq信号36=1となったら、内部に格納した符号データをデータバス31に出力し、DMAAck信号=1として

ータ転送となっているので、転送先アドレス111bと転送バイト数111cとを読み出し、DMAC手段100内部のレジスタにセットする。

[0081] 次に、CODEC装置1のパラメータレジスタ72に書き込む値を読み出しその値をデータバス21に出力し、RD信号22を0、WT信号23を1、アドレス信号24を10(2進数)とし、CODEC装置1のパラメータレジスタ72にパラメータ111dを書き込む。

[0082] 次にコマンド111eを読み出し、4番目の順と画順にCODEC装置1のコマンドレジスタ71に書き込む。ここで書き込まれる値すなわちコマンド111eにセットされている値は、CODEC装置1の復号手段5をスタートさせるコマンドである。

[0083] これによりCODEC装置1が復号を開始する。DMAC手段100はDMAReq信号26が1になるのを待つ。DMAReq信号26が1になったら、DMAC手段100は画像データバス21のアドレスバスに画像メモリ手段110aの書き込み先アドレスを出し、CODEC装置1に対してRD信号22=1、WT信号23=0、DMAAck信号27=1を出力する。そして、復号した画像データをCODEC装置1からデータバス21に出力させ、画像メモリ手段110aに送る。また、DMAC手段100はCODEC装置1のWAIT信号25を監視し、これが0のときに画像メモリ手段110aにデータバス21上のデータを送るなら復号した画像データを書き込む。

[0084] このデータ転送を命令群の転送バイト数111cを達成するまで繰り返す。繰り返したら、DMAC手段100は、まず、マスク111fの値を読み出す。次いで、CODEC装置1に対して、RD信号22=1、WT信号23=0、アドレス24=11(2進数)を出力し、CODEC手段100のステータスレジスタ73を読み出す。ここで読み出した値とマスク値のANDをとる。その結果、復号がエラーなく終了したことを示しているれば正常、そうでないなら異常とする。

[0085] DMAC手段100はリンク111hを讀み出し、正常/異常に関する情報をアドレスに書き込む。次に、DMAC手段100は命令群のリンク111hを読み出し、リンク111hを使い2番目の命令群1112を読み出し、同様の処理を行う。命令群1112～1115の処理を終えたら、DMAC手段100は命令群1116を読み出す。この命令後のDMACコマンド(図示せず)は「DMAC停止」なので、DMAC手段100は割り込みリクエスト信号を1にし、CPU120に対し割り込みをかけ、DMACの動作が終わったことを通知し、動作を停止する。

[0086] 次に、CODECシステムの第2の実施の形態について説明する。図15は、第2の実施の形態を示すCODECシステムのブロック図である。第1の実

りCPU120への割り込み要求は取り下げられる。その後CPU120は、割り込み処理ルーチンからリターンし、割り込まれた時点の処理を続行する。符号データの供給に関するCPU120の処理は、割り込みルーチン内で、メインメモリ130から符号データをロードし、CODEC装置1にスライアし、割り込みルーチンからリターンするといふへん単純で短い処理となり、CPU120にとって負担とはならない。

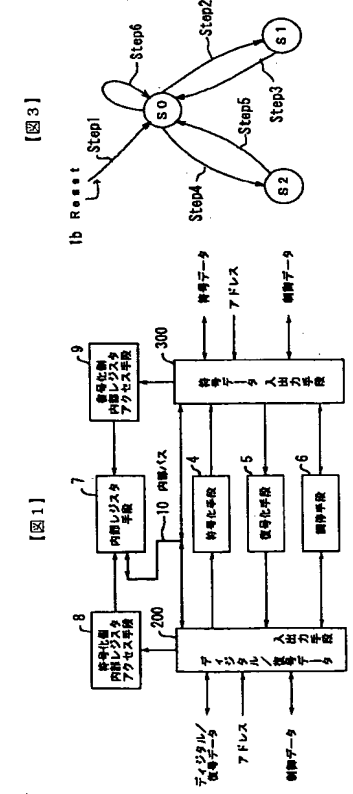
[0076] 図14は、画像メモリ内のDMACのため命令群と、画像データエリアとの関係を示す図である。まずCPU120は画像メモリ手段110a中の命令のアドレス(0番地)からDMAC手段100への命令群の集合を書き込む。その後、DMAC手段100は命令群111を読み出し、画像メモリ手段110aとCODEC装置1との間でDMA転送処理を行う。そして、それが終わったら次に実行すべき命令群が入っているアドレスを示すリンク111hを利用して次の命令群1112を読み出し、DMA転送処理を行う。

[0077] 命令群の最初にはDMACコマンド111aがある。これはDMAC手段100の動作を規定し、データ転送(画像メモリ手段110aからCODEC装置1へ、あるいは、CODEC装置1から画像メモリ手段110aへ)、DMAC動作停止、サブルーチンコール、リターンが定義されている。DMACコマンド111aが「データ転送」のとき、2番目の順は画像メモリ手段111b、3番目の順は転送すべきバイト数111c、4番目の順はCODEC装置1のパラメータレジスタ72に書き込むべき値であるパラメータ111dである。

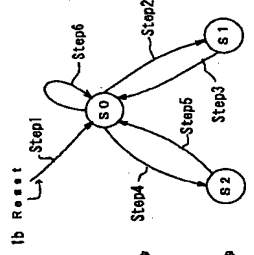
[0078] さらに、5番目の順はCODEC装置1のコマンドレジスタ71に書き込むべき値であるコマンド111eである。6番目の順はマスクした値を示す111f、7番目の順はDMAC手段100のステータスを読み出すべき画像メモリ手段110aのアドレスであるステータス書き込み先111g、8番目の順はリンク111hである。

[0079] JPEGの場合、8×8画素のブロックを1単位として扱い、このブロックを横方向に走査し符号化する。そこで1回のDMAの単位を8×8画素のブロック1列すなわち8走査線とすると便利である。そこで1走査線当たり5個のデータ転送用命令群と最後に1個のDMAC停止用命令群をCPU120によって画像メモリ手段110a中に予め書き込んでおく。CPU120は、DMAC手段100へのスタート信号120aを1にし、DMAC手段100にスタートを指示する。DMAC手段100は画像メモリ手段110aの0番地より最初の命令群111を読み出す。

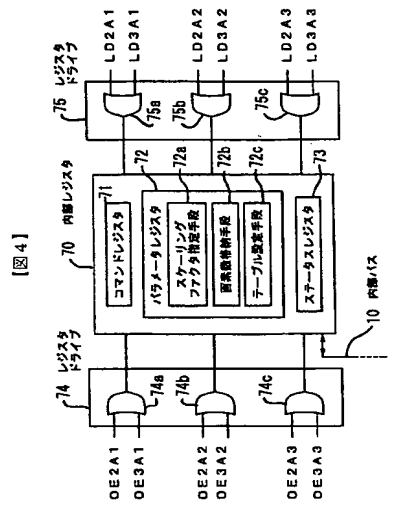
[0080] まず、DMACコマンド111aを読み、DMACコマンド111aはCODEC装置1からのデ



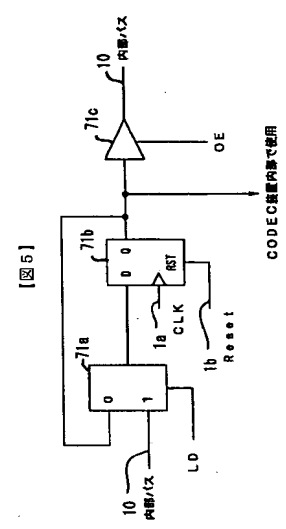
【図1】



【図3】



【図4】



【図5】

【0099】上記の説明では、符号化/復号化の方式としてJPEGを採用したが、他の符号化/復号化方式を採用してもよい。また、CODEC装置のなかに、複数の方式の符号化手段と復号化手段を実装し、コマンドレジスタにてどの符号化手段あるいは復号化手段を動作させるかを選択できるようにさせてもよい。

【0100】さらに、上記の説明では、デジタルデータとして画像データとしたが、それ以外のデジタル化されたデータ一般に適用できる。また、上記の説明では、制御手段は画像データバス側を優先したが、符号データバス側の優先度を高くしてもよい。また、双方のバスの優先度をラウンδροビン方式で入れかえるようにしてもよい。制御手段の優先順位づけ方法は、CODEC装置を含む処理装置の用途に応じて、それぞれ好ましい態様があるからである。

【0101】

【発明の効果】以上説明したように本発明のCODEC装置は、内部レジスタ手段へのアクセスのための専用入出力ポート手段をなくす構成とした。これによりCODEC装置の入出力のピン数を削減することが可能となる。

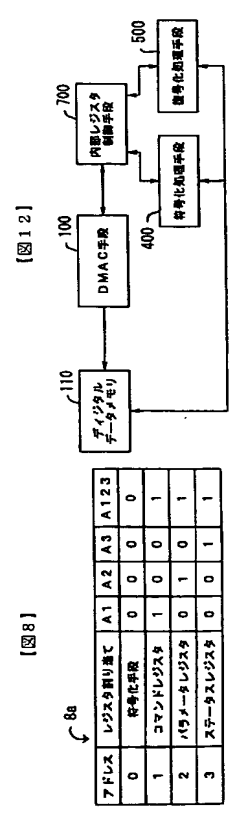
【0102】また、本発明のCODEC装置を単一の集積回路上に実装する構成とした。これにより、集積回路のピン数と集積回路のパッケージのピン数を削減することが可能となる。

【0103】さらに、本発明のCODECシステムは、DMAC手段がCODEC装置の内部レジスタを制御できる構成とした。これにより、CODEC装置に入出力する画像データのDMA転送の性能を向上させ、符号化/復号化処理の性能を向上させることが可能となる。

【0104】また、本発明のCODECシステムは、画像メモリと内部レジスタとを制御するDMAC手段と、メインメモリと内部レジスタとを制御するDMAC手段と、を設ける構成とした。これにより、符号化/復号化処理の性能をさらに向上させることが可能となる。

【0105】さらに、本発明のCODECシステムは、単一の集積回路上に実装する構成とした。これにより、集積回路のピン数と集積回路のパッケージのピン数を削減することが可能となる。

【図面の簡単な説明】



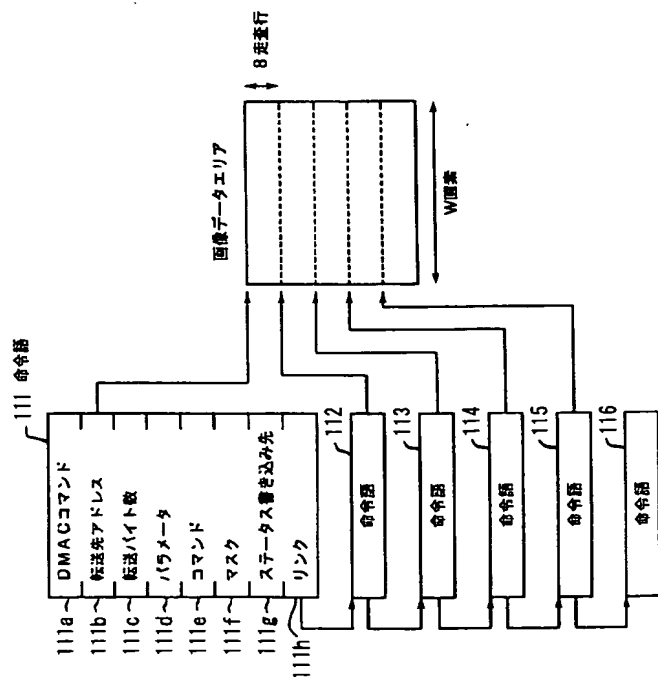
【図8】

【図12】

アドレス	レジスタ割り当て	A1	A2	A3	A123
0	符号化手段	0	0	0	0
1	コマンドレジスタ	1	0	0	1
2	パラメータレジスタ	0	1	0	1
3	ステータスレジスタ	0	0	1	1

8a

【☒14】



[X15]

